

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11274461
PUBLICATION DATE : 08-10-99

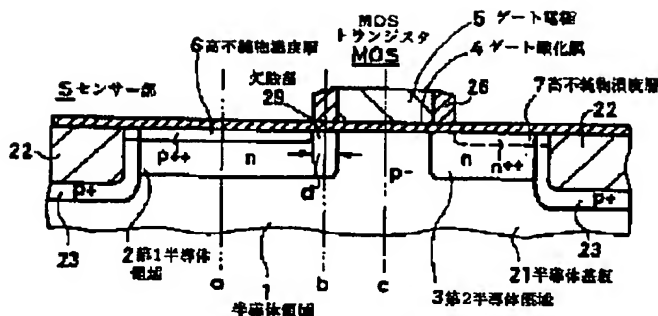
APPLICATION DATE : 23-03-98
APPLICATION NUMBER : 10074391

APPLICANT : SONY CORP;

INVENTOR : SUZUKI RYOJI;

INT.CL. : H01L 27/146 H04N 5/335

TITLE : SOLID IMAGE PICKUP DEVICE AND ITS MANUFACTURE



ABSTRACT : PROBLEM TO BE SOLVED: To prevent the increasing of a reading voltage applied to an insulating gate transistor and to prevent the incomplete reading of signal charges at a sensor section when a MOS type solid image pickup device is constructed in such a manner that a highly concentrated impurity layer is formed on the surface of the sensor section.

SOLUTION: A plurality of unit pixel sections are arrayed on a semiconductor substrate, each unit pixel section has a sensor section S in which a photoelectric conversion element is formed, and an insulating gate transistor for reading charges. In the section S, the photoelectric conversion element is formed by comprising a first conductive type semiconductor region 1, a second conductive type first semiconductor region 2 formed on the region 1, and a first conductive type highly concentrated impurity layer 6 formed on the region 2. In the insulating gate transistor, an insulating gate section is formed between the section S and a second conductive type second semiconductor region 3 that is formed a predetermined distance apart from the section S. The layer 6 in the section S is formed on the surface of the region 2 so as to be limited to a surface portion excluding the surface portion in which the region 2 is adjacent to the insulating gate section.

COPYRIGHT: (C)1999,JPO

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274461

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/146

H 0 1 L 27/14

A

H 0 4 N 5/335

H 0 4 N 5/335

E

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平10-74391

(22) 出願日 平成10年(1998)3月23日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 鈴木 亮司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

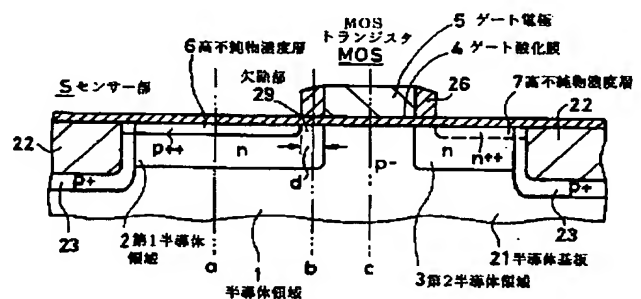
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 固体撮像装置とその製造方法

(57) 【要約】

【課題】 MOS型固体撮像装置のセンサー部の表面に高不純物濃度層が形成される構成とすると、その読み出し絶縁ゲートトランジスタへの読み出しの印加電圧が高くなり、またセンサー部の信号電荷の読み出しが不完全となる。

【解決手段】 半導体基板に、光電変換素子が構成されたセンサー部と電荷読み出しの絶縁ゲートトランジスタとを有する複数の単位画素部が配列形成された構成において、そのセンサー部Sが、第1導電型の半導体領域1と、この上に形成された第2導電型の第1半導体領域2と、この半導体領域2の表面に形成された第1導電型の高不純物濃度層6とを有して成る光電変換素子が形成されて成り、絶縁ゲートトランジスタは、センサー部と所要の距離を隔てて形成された第2導電型の第2半導体領域3との間に絶縁ゲート部が形成されて成る。そして、そのセンサー部における高不純物濃度層6が、第2導電型の第1半導体領域の表面において、絶縁ゲート部と隣接する部分を除く部分に限定的に形成された構成とする。



【特許請求の範囲】

【請求項1】 半導体基板に、光電変換素子が構成されたセンサー部と該センサー部から電荷を読み出す絶縁ゲートトランジスタとを有する複数の単位画素が配列形成され、

上記センサー部は、第1導電型の半導体領域と、この上に形成された第2導電型の第1半導体領域と、この半導体領域の表面に形成された第1導電型の高不純物濃度層とを有して成る光電変換素子が形成されて成り、

上記絶縁ゲートトランジスタは、上記第2導電型の第1半導体領域と所要の距離を隔てて形成された第2導電型の第2半導体領域との間に絶縁ゲート部が形成されて成り、

上記センサー部の上記高不純物濃度層は、上記第2導電型の第1半導体領域の表面の、上記絶縁ゲート部と隣接する部分を除く部分に限定的に形成されて成ることを特徴とする固体撮像装置。

【請求項2】 第1導電型の半導体領域に、ゲート絶縁膜を形成する工程と、

該絶縁膜上に、導電層を形成する工程と、

該導電層のゲート電極形成部にレジスト層を形成する工程と、

該レジスト層をマスクとして上記導電層をパターンエッチングしてゲート電極を形成する工程と、

上記第1の導電型の半導体領域に、上記レジスト層を残したまま、該レジストと上記ゲート電極をマスクとしてこのゲート電極を挟んでその両側に、第2導電型の不純物を導入して第2導電型の第1および第2半導体領域を形成する工程と、

上記ゲート電極の、少なくとも上記第1半導体領域と隣接する側面に、絶縁層によるサイドウォールを形成する工程と、

該サイドウォールと上記ゲート電極とをマスクとして、

上記第1半導体領域の表面に、上記ゲート電極と離間して高不純物濃度層を形成する工程とを有することを特徴とする固体撮像装置の製造方法。

【請求項3】 上記高不純物濃度層を形成する工程の後または前に、上記サイドウォールと上記ゲート電極とをマスクとして、上記第2半導体領域の表面に、上記ゲート電極と離間して第2導電型の高不純物濃度領域を形成する工程を有することを特徴とする請求項2に記載の固体撮像装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置、特にMOSTランジスタ（本明細書でいうMOSとは、導電層／絶縁膜／半導体構造を総称するものとする）を有するMOS型の固体撮像装置とその製造方法に係わる。

【0002】

【従来の技術】図4は、いわゆるFD（Floating Diffu

sion）型構成によるMOS型固体撮像装置の要部の構成図を示す。この固体撮像装置は、それぞれ複数の行および列、すなわち水平および垂直方向にそれぞれ複数の単位画素101（図4においては、1つの単位画素のみを示す）が配列され、各単位画素101が、センサー部の光電変換素子としてのフォトダイオード102と、このセンサー部で得た信号電荷をFD読み出しMOSTランジスタ103によって読み出し、この信号電荷を、各単位画素においてFD増幅MOSTランジスタ104によって信号電圧もしくは信号電流に増幅する構成とされている。

【0003】図4の構成においては、各単位画素101において信号の増幅を行う構成とした場合であるが、図5にその要部の構成図を示すように、例えば共通の列毎に増幅器が配置されたいわゆるカラムアンプ型固体撮像装置とすることができる。

【0004】このカラムアンプ型固体撮像装置においてもそれぞれ複数の行および列、すなわち水平および垂直方向にそれぞれ複数の単位画素201（図5においても、1つの単位画素のみを示す）が配列され、各単位画素201は、そのセンサー部に光電変換素子としてのフォトダイオード202を有し、このフォトダイオード202に蓄積された信号電荷を読み出すMOSTランジスタ203と、信号電荷を垂直信号線208に読みだす選択用MOSTランジスタ204が形成され、垂直信号線208毎にカラム増幅器205が配置された構成を有する。

【0005】これらMOS型の固体撮像装置の各単位画素101、201における、センサー部の光電変換素子、すなわちフォトダイオードと、これからの電荷読み出しを行うMOSTランジスタとは、フォトダイオードを構成する一方の半導体領域例えばカソード領域をMOSTランジスタのソース領域と兼ねしめる複合構成とされる。

【0006】これらMOS型の固体撮像装置の各単位画素における、そのセンサー部の光電変換素子、すなわちフォトダイオードと、これからの電荷読み出しを行うMOSTランジスタとは、フォトダイオードを構成する一方の半導体領域例えばカソード領域をMOSTランジスタのソース領域と兼ねしめる複合構成とされる。

【0007】図8はそのセンサー部Sと、これからの信号電荷の読み出しを行うMOSTランジスタの形成部の概略断面図を示す。この場合、例えばp型の半導体領域1を有し、そのセンサー部Sの形成部に、n型の第1の半導体領域2が形成され、この第1半導体領域2と所要の間隔、すなわちMOSTランジスタのチャネル長に応じた間隔を保持して同様にn型の第2半導体領域2が形成される。そして、第1および第2半導体領域2および3間上に、ゲート絶縁膜4を介してゲート電極5が形成される。このようにして、センサー部Sにフォトダイオ

ードが構成され、第1半導体領域2をソース領域とし、第2半導体領域3をドレイン領域とするMOSトランジスタ(MOS)が構成される。

【0008】ところで、この場合、単にp-n接合によるフォトダイオードとしてこれに逆バイアスが印加される構成とすると、Si-SiO₂界面(半導体とその表面の絶縁膜との界面)が空乏化し、界面に存在する生成・再結合中心からの暗電流が生じ、これが撮像装置の撮像画像にいわゆる固定パターンノイズを発生させる。そこで、図8に示すように、第1半導体領域2とは異なる導電型、この例では正孔の蓄積層を構成するp型の高不純物濃度層6を形成するいわゆるHAD(Hole Accumulated Diode)型構成とし、界面の高不純物濃度層6を0Vに固定するようにして、フォトダイオードの界面が空乏化しないようにすることによって暗電流の減少をはかるものである。

【0009】第2半導体領域3の表面には、これと同導電型の高不純物濃度層7を形成することによってその寄生抵抗の低減化をはかることができる。

【0010】半導体基板上には、図示しないが、センサー部S上に受光窓が形成された遮光膜が全面的に形成され、受光窓を通じてセンサー部Sに、光照射がなされる。

【0011】

【発明が解決しようとする課題】ところが、上述したように、各種MOS型固体撮像装置において、そのセンサー部表面に高不純物濃度層が形成された構成(すなわち信号電荷が電子の場合はいわゆるHAD構成)とする場合、このセンサー部からMOSトランジスタによって信号の電荷を読みだす構成とすると、MOSトランジスタへの読み出しの印加電圧が高くなり、また信号電荷の完全な読み出しがなされないという問題がある。

【0012】本発明においては、低い読み出し電圧によって、センサー部の信号電荷をほぼ完全に読み出すことができるようにする。

【0013】

【課題を解決するための手段】本発明による固体撮像装置は、半導体基板に、光電変換素子が構成されたセンサー部と電荷読み出しのMOSトランジスタ(絶縁ゲートトランジスタ)とを有する複数の単位画素が配列形成された構成とされる。センサー部は、第1導電型の半導体領域と、この上に形成された第2導電型の第1半導体領域と、この半導体領域の表面に形成された第1導電型の高不純物濃度層とを有して成る光電変換素子が形成されて成り、絶縁ゲートトランジスタは、センサー部と所要の距離を隔てて形成された第2導電型の第2半導体領域との間に絶縁ゲート部が形成されて成る。そして、そのセンサー部における高不純物濃度層が、第2導電型の第1半導体領域の表面において、絶縁ゲート部と隣接する部分を除く部分に限定的に形成された構成とする。

【0014】また、本発明による固体撮像装置の製造方法は、第1の導電型の半導体領域に、ゲート絶縁膜を形成する工程と、この絶縁膜上に、導電層を形成する工程と、この導電層のゲート電極形成部にレジスト層を形成する工程と、このレジスト層をマスクとして導電層をパターンエッチングしてゲート電極を形成する工程と、第1の導電型の半導体領域に、レジスト層を残したまま、このレジストとゲート電極をマスクとして、ゲート電極を挟んでその両側に、第2導電型の不純物を導入して第2導電型の第1および第2半導体領域を形成する工程と、ゲート電極の、少なくとも第1半導体領域と隣接する側面に、絶縁層によるサイドウォールを形成する工程と、このサイドウォールとゲート電極とをマスクとして、第1半導体領域の表面に、ゲート電極と離間して高不純物濃度層を限定的に形成する工程とを採る。

【0015】本発明による固体撮像装置は、センサー部におけるMOSトランジスタのゲート部との隣接部、すなわちMOSトランジスタのチャネルと隣接する部分においては、高不純物濃度層が排除された構成としたことによって、この高不純物濃度層の存在によって生じる信号電荷に対するポテンシャルバリアを、MOSトランジスタの読み出し部において低めることができ、センサー部からの信号電荷の読み出しを、低電圧印加によって、しかも完全に読み出すことができるものである。

【0016】

【発明の実施の形態】本発明によるMOSトランジスタを有する固体撮像装置は、それぞれ複数の行および列、すなわち水平および垂直方向にそれぞれ複数の単位画素が配列された構成を有し、各単位画素が、光電変換素子を有するセンサー部と、このセンサー部で発生させた入射光量に応じた信号電荷を読み出すMOSトランジスタとを有する各種構成によるMOS型固体撮像装置である。

【0017】本発明によるMOS型固体撮像装置の一形態は、前述した図4のFD型のMOS型固体撮像装置とすることができる。この固体撮像装置は、前述したように、それぞれ複数の行および列、すなわち水平および垂直方向にそれぞれ複数の単位画素101が配列され、各単位画素101が、光電変換がなされるセンサー部と、このセンサー部で得た信号電荷をMOSトランジスタ103によって読み出し、この信号電荷を、各単位画素においてMOSトランジスタ104のよって信号電圧もしくは信号電流に増幅する構成としたいわゆる増幅型撮像装置とするものである。

【0018】この固体撮像装置の単位画素101は、そのセンサー部に光電変換素子としてのフォトダイオード102を有し、このフォトダイオード102に蓄積された信号電荷を読み出すFD読み出しMOSトランジスタ103と、FD増幅MOSトランジスタ104と、FDリセットMOSトランジスタ105と、垂直選択MOSトランジスタ106とを有してなる。

【0019】FD読み出しMOSTランジスタ103のゲート電極は、垂直読み出し線107に接続され、FDリセットMOSTランジスタ105のゲート電極は、垂直リセット線108に接続され、垂直選択MOSTランジスタ106のゲート電極は、垂直選択線に接続され、垂直選択MOSTランジスタ106のソースが垂直信号線110にそれぞれ接続される。

【0020】111は、水平信号線で、この水平信号線111と垂直信号線110との間に水平選択MOSTランジスタ112が接続され、このMOSTランジスタ112のゲート電極に、水平走査回路113からの水平走査パルス ϕ_{Hn} が、印加される。そして、行選択をする垂直走査回路114からの垂直走査パルス ϕ_{Vsn} 、 ϕ_{Vtn} 、 ϕ_{Vrn} により各行ごとに各単位画素101において、フォトダイオード102に蓄積された信号電荷が、読み出しMOSTランジスタ103によって読み出され、増幅MOSTランジスタ104によって増幅され、垂直選択MOSTランジスタ106によって選択される。そして、列選択する水平走査回路113からの水平走査パルス ϕ_{Hn} により制御される水平選択MOSTランジスタ112を通じて各画素信号が水平線111に出力される。一方、リセットMOSTランジスタ105によって各単位画素101のリセットがなされる。

【0021】また、本発明によるMOSTランジスタ型固体撮像装置の他の一形態は、図5で示したいわゆるコラムアンプ型によるMOS型固体撮像装置を構成することができる。この固体撮像装置についても、すでに説明したように、共通の列毎に増幅器が配置される。この固体撮像装置においてもそれぞれ複数の行および列、すなわち水平および垂直方向にそれぞれ複数の単位画素201が配列され、各単位画素201が、そのセンサー部に光電変換素子としてのフォトダイオード202を有し、このフォトダイオード202に蓄積された信号電荷を読み出す選択用MOSTランジスタ203を有し、この信号電荷を垂直信号線208に読み出す水平読み出しMOSTランジスタ204を有して成る。

【0022】MOSTランジスタ203は、そのゲート電極への垂直走査回路214からの垂直走査パルスの印加によってオンされる電荷読み出しのいわばスイッチ機能を有し、MOSTランジスタ204は、そのゲート電極に水平走査回路213からの水平走査パルスが印加されることによって信号電荷を垂直信号線208に読み出す。そして、この垂直信号線208に読み出された信号電荷を増幅器205によって増幅し、水平選択MOSTランジスタ206によって、選択された列上の単位画素からの信号電荷による出力を水平信号線207に出力するようになされる。

【0023】しかしながら、本発明による固体撮像装置は、図4および図5で示した固体撮像装置の構成に限られるものではない。例えば図4および図5等の固体撮像

装置を基本構成とするものの、例えば固定パターンノイズの軽減化をはかるようになされた各種MOS型固体撮像装置に適用することができる。

【0024】すなわち、本発明による固体撮像装置は、行および列上にそれぞれ複数の単位画素が配列され、そのセンサー部の光電変換素子、すなわちフォトダイオードと、これからの電荷読み出しを行うMOSTランジスタとが、フォトダイオードを構成する一方の半導体領域例えばカソード領域をMOSTランジスタのソース領域と兼ねしめる複合構成とする固体撮像装置であって、そのセンサー部の表面に形成する高不純物濃度層を、MOSTランジスタと隣接する側を除く部分に限定的に形成する。

【0025】図1は、本発明による固体撮像装置における、そのセンサー部Sと、これからの信号電荷の読み出しを行うMOSTランジスタ(MOS)の形成部の概略断面図を示す。目的とする固体撮像装置を構成する例えばSi半導体基板による半導体基板21に、その一部よりなる、あるいはこの半導体基板21に形成した低不純物濃度の第1導電型、この例ではp型の半導体領域1に、第2導電型、この例ではn型の第1の半導体領域2を形成する。また、この第1半導体領域2と所要の間隔、すなわち、MOSTランジスタのチャネル長に応じた間隔を保持して第1半導体領域2と同導電型のn型の第2半導体領域3を形成する。

【0026】また、半導体基板21の表面、少なくとも第1および第2半導体領域2および3間の表面に、例えばSiO₂によるゲート絶縁膜4を形成し、その上にゲート電極5を形成してMOSTランジスタのゲート部を構成する。また、第1半導体領域2の表面の上述のゲート部と隣接する部分を除く、全表面に第1導電型、この例ではp型の、電荷(多数キャリア、この例では正孔)の蓄積層とする高不純物濃度層6を形成し、第2半導体領域3の表面に、この第2半導体領域3と同導電型、この例ではn型の高不純物濃度層7を構成する。

【0027】このようにして、センサー部Sにおいて、p⁺/n/p⁻構造のフォトダイオード、すなわち図4および図5におけるフォトダイオード102および202が構成され、その第1半導体領域2をソース領域とし、第2半導体領域3をドレイン領域とするMOSTランジスタ(MOS)を構成する。

【0028】次に、本発明による固体撮像装置の製造方法の一例を図2および図3を参照して説明する。まず、図2Aに示すように、目的とする固体撮像装置を構成する例えばSi半導体基板による半導体基板21を用意し、その電荷の授受が回避されるべき部分、例えば各単位画素の形成部間、センサー部のこれよりの電荷読み出し側を除く周囲、各MOSTランジスタ等の回路素子間等に、厚い分離絶縁層22を、周知の局部的熱酸化法いわゆるLOCOS(Local Oxidation of Silicon)法によって

形成する。また、この分離絶縁層22の形成部下に、イオン注入によって高濃度のp型のチャンネルストップ領域23を形成する。そして、上述したLOCOSやイオン注入におけるマスク層を除去し、半導体基板21の表面、すなわちセンサー部およびMOSトランジスタの形成部上に、表面熱酸化によって SiO_2 によるゲート絶縁膜4を形成する。

【0029】次に、図2Bに示すように、全面的にゲート電極を構成する導電層24、例えば低抵抗率を有する多結晶シリコンによる半導体層をCVD (Chemical Vapor Deposition) 法等によって例えば0.2 μm 程度の厚さに形成する。そして、この導電層24上のゲート電極の形成部にレジスト層25を形成する。このレジスト層25の形成は、フォトリソの塗布、パターン露光、現像処理によって形成することができる。

【0030】図3Aに示すように、レジスト層25を、エッチングマスクとして、導電層24をパターンエッチングしてゲート電極5を形成する。このゲート電極5の形成は、これに関連する配線部はもとより他の電極および配線部を同時に形成することができる。次に、レジスト層25およびゲート電極5、絶縁分離層22をマスクとして第2導電型、この例ではn型の不純物の例えば As^+ を数100keVという高いエネルギーをもってイオン注入して、最終的に形成するフォトダイオードにおける光電変換を効率良く行うに十分な深さの第1半導体領域2を形成し、同時に第2半導体領域3を形成する。このイオン注入は、上述したように比較的高いエネルギーをもって行われることから、多結晶半導体層等によるゲート電極5のみをマスクとしてイオン注入を行うときは、このゲート電極5を突き抜けてイオン注入がなされる恐れがあることから、ゲート電極5のエッチングマスクとして用いたレジスト層25を残しておき、これを含めてイオン注入のマスクとするものである。そして、このようにすることによって、確実にゲート電極5を挟んでその両側に限定的に第1および第2半導体領域2および3を形成することができる。

【0031】次に、図3Bに示すように、レジスト層25を除去し、ゲート電極5の第1半導体領域2と隣接する側面、実際には図3で示すように、ゲート電極5の両側面に、サイドウォール26を形成する。このサイドウォール26の形成は、周知の方法によって形成する。例えば SiO_2 層をCVD法によって、ゲート電極5の側面を含んで所要の厚さに形成し、エッチバックすることによって形成することができる。その後、第1半導体領域2または第2半導体領域2のいずれか一方をレジスト層27によって覆う。図においては、第1半導体領域2上をレジスト層27によって覆った場合である。そして、このレジスト層27とサイドウォール26、および分離絶縁層22をマスクとして第2半導体領域3の表面にこれと同導電型の高不純物濃度層7をイオン注入によ

って形成する。

【0032】その後、図3Cに示すように、レジスト層27を除去し、他方の半導体領域、図示の例では、第2半導体領域3上をレジスト層28によって覆い、このレジスト層27とサイドウォール26、および分離絶縁層22をマスクとして第1半導体領域2の表面にこれと同導電型の高不純物濃度層6をイオン注入によって形成する。

【0033】その後、レジスト層28を除去する。そして、熱処理がなされて、各イオン注入領域の不純物の活性化を行う。

【0034】このようにして、図1に示したセンサー部Sにおいて、 $p^+/n/p^-$ 構造のフォトダイオード、すなわち図4および図5におけるフォトダイオード102および202が構成され、その第1半導体領域2をソース領域とし、第2半導体領域3をドレイン領域とするMOSトランジスタ(MOS)が構成される。

【0035】上述したように、本発明構造においては、センサー部Sの光電変換素子のフォトダイオードが、 $p^+/n/p^-$ 構造を有することから、暗電流の低減がなされ、しかもこのように表面に高不純物濃度層6が形成されているにもかかわらず、そのMOSゲート部と隣接する部分においては、高不純物濃度層6が形成されない構造すなわち欠除部29を形成したことにより、MOSトランジスタによる信号電荷の読み出しを低電圧をもって完全に行うことができる。この欠除部29の幅dは、例えば0.05 μm ~0.2 μm に選定する。

【0036】次に、本発明構造において、MOSトランジスタによる信号電荷の読み出しを低電圧をもって完全に行うことができることについて考察する。今、図1で示す構造において、図1の鎖線aで示す位置における深さ方向のポテンシャルをみると、図6の曲線aとなり、表面の高不純物濃度層6と半導体領域1とによって第1半導体領域2に信号電荷eが蓄積されている。しかしながら、図1の鎖線bの高不純物濃度層6の欠除部29におけるポテンシャル分布は、図6の曲線bに示すように、高不純物濃度層6によるポテンシャルのバリアが存在しないことから矢印fで示す信号電荷の流れが生じ得る。したがって、ゲート電極5に所要の電圧を印加して、図1の鎖線cのゲート部すなわちチャンネル部におけるポテンシャル分布を図6の曲線cのように、表面から比較的浅い部分で形成して、すなわち比較的低い印加電圧によって形成して、矢印gに示す信号電荷の流れ、すなわち読み出しを行うことができ、しかも信号電荷を殆ど完全に読み出すことができる。

【0037】これに比し、上述した欠除部29が形成されずに、第1半導体領域2の全表面に高不純物濃度層6が形成された構造とするときは、図7にそのポテンシャル分布を示すように、図6における曲線bが存在しないことから、MOSトランジスタのゲート部には大きな印加

電圧を印加して図7の曲線cに示すように、深いポテンシャルを形成することが必要となり、しかも図7によって明らかなように、信号電荷が完全に読み出されることなく残るという現象が生じる。

【0038】また、本発明装置を得る本発明製造方法は、サイドウォール26の形成という簡潔な方法で、上述の $p^{++}/n/p^{-}$ 構造を有し、ゲート部との隣接部には p^{++} 層、すなわち高不純物濃度層6の欠除部29を、容易に形成することができるものである。

【0039】尚、図1～図6においては、1つの単位画素における、センサー部Sと、MOSTランジスタ102あるいは202を構成する1つのMOSTランジスタ部分のみを示したものであるが、言うまでもなく、複数のMOSTランジスタ101あるいは202を並行して形成するものであり、また、これらセンサー部SおよびMOSTランジスタの形成と同時に、他の半導体素子の形成、例えば同一単位画素内における他のMOSTランジスタや、他の単位画素の各MOSTランジスタ等の半導体素子を同時に並行して形成することができるというまでもない。

【0040】また、上述した例では、各MOSTランジスタが、 SiO_2 ゲート絶縁膜による構成とした場合であるが、このゲート絶縁膜は酸化膜に限定されるものではなく、各種絶縁ゲートランジスタ構成とすることができる。

【0041】また、通常、固体撮像装置における信号電荷は、電子であるが、信号電荷を正孔とする場合には、上述した各例において、第1導電型をn型、第2導電型をp型に選定することができるなど、本発明は上述した例に限られるものではなく種々の変更を行うことができる。

【0042】

【発明の効果】上述したように、本発明による固体撮像装置によれば、そのセンサー部の光電変換素子のフォトダイオードを、表面に高不純物濃度層6による電荷蓄積層すなわち例えば信号電荷が電子である場合は、正孔の蓄積層を形成することによって、信号電荷の蓄積を高め、かつ暗電流対策を行った構成とするにもかかわらず、この高不純物濃度層6の存在によるセンサー部からの信号電荷の読み出しを低い読み出し電圧をもって、し

かも信号電荷の読み出しをほぼ完全に行うことができる。したがって、MOS型固体撮像装置における暗電流対策による固定パターンのノイズの改善をはかることができ、効率の良い読み出しがなされることが相俟って画質の向上を図ることができる。

【0043】また、読み出し駆動電圧の低減化によってMOS型固体撮像装置における消費電力の低減化の特長をより助長することができる。

【0044】また、本発明製造方法によれば、上述した本発明構造による固体撮像装置を、サイドウォール工程の追加で容易に行うことができる。

【図面の簡単な説明】

【図1】本発明による固体撮像装置の一例の要部の概略断面図である。

【図2】AおよびBは、本発明製造方法の一例の工程図である。

【図3】A～Cは、本発明製造方法の一例の工程図である。

【図4】本発明を適用する固体撮像装置の一例の構成図である。

【図5】本発明を適用する固体撮像装置の他の一例の構成図である。

【図6】本発明の固体撮像装置におけるポテンシャル分布図である。

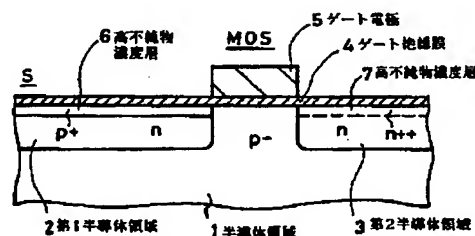
【図7】本発明と比較される固体撮像装置におけるポテンシャル分布図である。

【図8】従来の固体撮像装置の要部の概略断面図である。

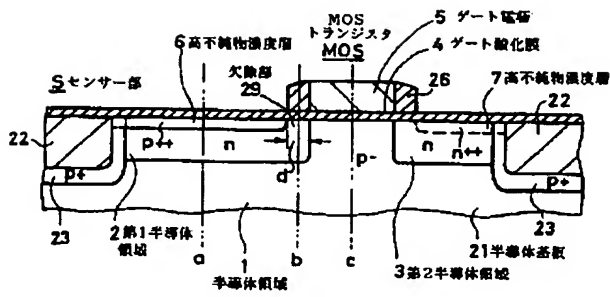
【符号の説明】

S・・・センサー部、MOS・・・MOSTランジスタ、1・・・半導体領域、2・・・第1半導体領域、3・・・第2半導体領域、4・・・ゲート絶縁膜、5・・・ゲート電極、6・・・高不純物濃度層、7・・・高不純物濃度層、21・・・半導体基板、22・・・絶縁分離層、23・・・チャネルストップ領域、24・・・導電層、25・・・レジスト層、26・・・サイドウォール、27、28・・・レジスト層、29・・・欠除部、101、201・・・単位画素、102、202・・・フォトダイオード、103、203・・・読み出しMOSTランジスタ

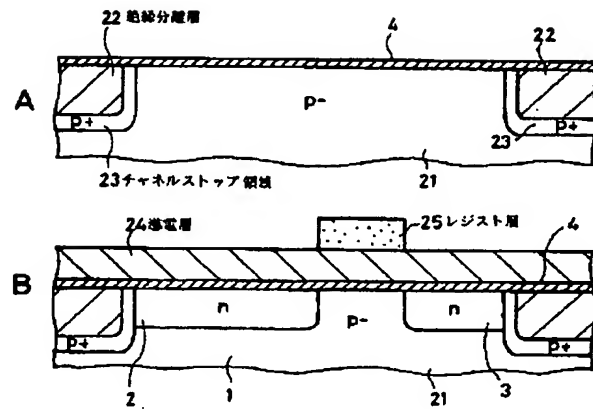
【図8】



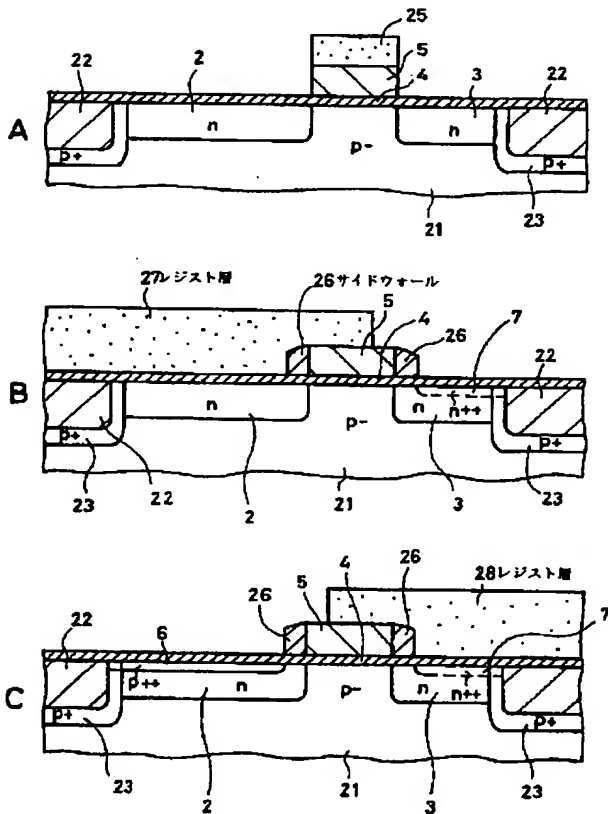
【図1】



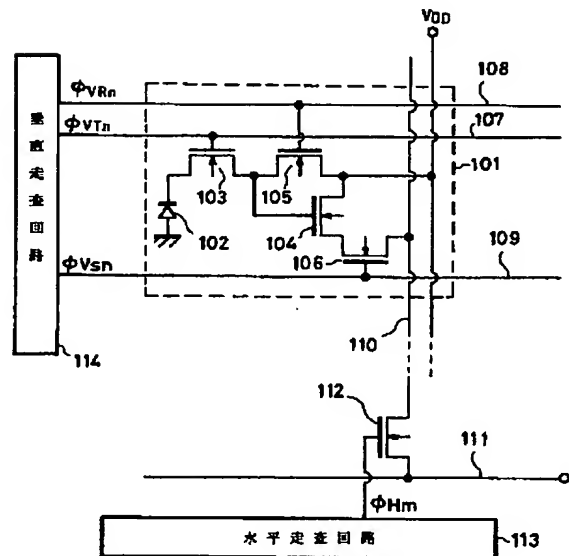
【図2】



【図3】

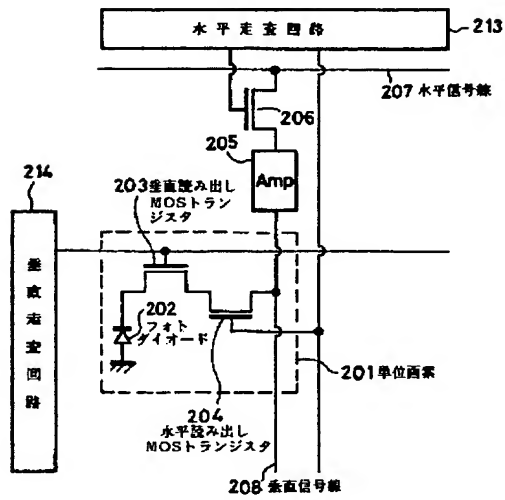


【図4】

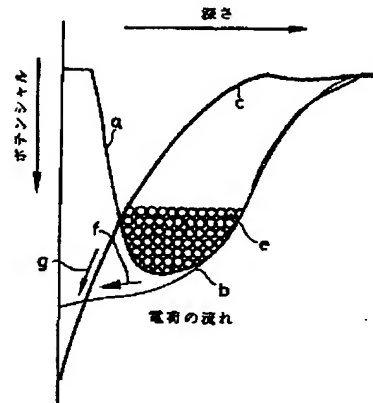


- | | |
|----------------------|--------------------|
| 101: 単位画素 | 108: 垂直リセット線 |
| 102: フォトダイオード | 109: 垂直選択線 |
| 103: PD読み出しMOSトランジスタ | 110: 垂直信号線 |
| 104: PD増幅MOSトランジスタ | 111: 水平信号線 |
| 105: PDリセットMOSトランジスタ | 112: 水平選択MOSトランジスタ |
| 106: 垂直選択MOSトランジスタ | |
| 107: 垂直読み出し線 | |

【図5】



【図6】



【図7】

